

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246558

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H01L 29/786

H01L 21/336

G09F 9/30

(21)Application number : 08-053553

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.03.1996

(72)Inventor : FURUTA MAMORU

TSUTSU HIROSHI

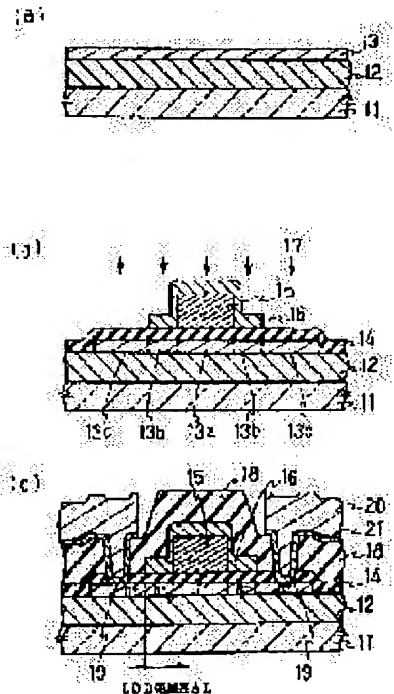
KAWAMURA TETSUYA

(54) THIN FILM TRANSISTOR, AND ACTIVE MATRIX ARRAY FOR LIQUID CRYSTAL DISPLAY, AND THOSE MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To materialize LDD structure without increasing the number of processes of doping, and reduce the OFF currents of a thin film transistor.

SOLUTION: A silicon oxide film 12 to serve as a buffer layer is made on a glass substrate 11, and thereon a polycrystalline silicon thin film 13 is made, and it is put in the shape of an active layer. On the film 13, a gate insulating film 14, using a silicon oxide, and a gate electrode 15, using Al-Zr alloy 10 atom % in Zr concentration, are made. A silicon nitride film 16 is made to cover a part of the gate electrode 15 and a low concentration impurity implantation area of the film transistor, and then impurity implantation is performed, using phosphorous ions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246558

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 A
21/336			G 0 9 F 9/30	3 3 8 K
G 0 9 F 9/30	3 3 8		H 0 1 L 29/78	6 1 2 B

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願平8-53553

(22) 出願日 平成8年(1996)3月11日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古田 守

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 筒 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 川村 哲也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 池内 寛幸 (外1名)

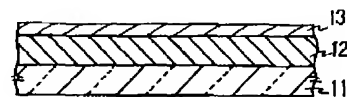
(54) 【発明の名称】 薄膜トランジスタおよび液晶表示装置用アクティブマトリックスアレイとそれらの製造方法

(57) 【要約】

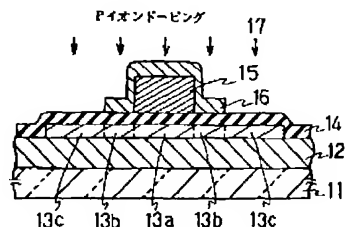
【課題】ドーピング工程数を増すことなくLDD構造を実現し、薄膜トランジスタのOff電流を低減する。

【解決手段】ガラス基板11にバッファ層となる酸化シリコン膜12を形成し、その上に多結晶シリコン薄膜13を形成し活性層の形状にする。薄膜13の上に、酸化シリコンを用いてゲート絶縁膜14を、およびZr濃度10原子%のAl-Zr合金を用いてゲート電極15を形成する。ゲート電極15の一部および薄膜トランジスタの低濃度不純物注入領域上を被覆するように窒化シリコン膜16を形成した後、リンイオンを用いて不純物注入を行う。

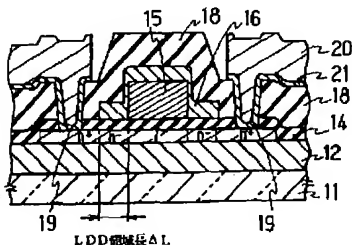
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 多結晶シリコン薄膜を活性層に有し、チャネル領域とソースおよびドレイン領域との間に低濃度不純物注入量域を有する薄膜トランジスタにおいて、前記薄膜トランジスタ表面の全体を被覆するゲート絶縁膜を備え、かつゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる絶縁膜を低濃度不純物注入領域の不純物注入マスクとして備えたことを特徴とする薄膜トランジスタ。

【請求項2】 請求項1に記載の薄膜トランジスタを表示電極のスイッチング素子に用いる駆動回路内蔵型液晶表示装置である液晶表示装置用アクティブマトリックスアレイにおいて、前記ゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる前記絶縁膜を前記薄膜トランジスタの低濃度不純物注入領域への不純物注入マスクとして備え、かつ前記絶縁膜が駆動回路部のp-ch薄膜トランジスタを被覆していることを特徴とする液晶表示装置用アクティブマトリックスアレイ。

【請求項3】 前記薄膜トランジスタのゲート絶縁膜の材料が酸化シリコン(SiO_2)膜であって、かつ前記絶縁膜の材料が窒化シリコン(SiN_x)または酸化タンタル(TaO_x)である請求項1に記載の薄膜トランジスタまたは請求項2に記載の液晶表示装置用アクティブマトリックスアレイ。

【請求項4】 前記ゲート絶縁膜の膜厚が30nm以上150nm以下である請求項1に記載の薄膜トランジスタまたは請求項2に記載の液晶表示装置用アクティブマトリックスアレイ。

【請求項5】 前記低濃度不純物領域がゲート電極の両側に0.5 μm 以上5 μm 以下の長さ形成されている請求項1に記載の薄膜トランジスタまたは請求項2に記載の液晶表示装置用アクティブマトリックスアレイ。

【請求項6】 前記ゲート電極が、AlにZrを5原子%以上20原子%以下の濃度にて添加した合金から構成される請求項1に記載の薄膜トランジスタまたは請求項2に記載の液晶表示装置用アクティブマトリックスアレイ。

【請求項7】 多結晶シリコン薄膜を活性層に有し、チャネル領域とソースおよびドレイン領域との間に低濃度不純物注入量域を有する薄膜トランジスタを製造する方法において、透光性基板上にバッファ層を形成し、前記バッファ層上に多結晶シリコン薄膜を形成して薄膜トランジスタの形状に加工し、前記多結晶シリコン薄膜を被覆するようにゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート配線を形成し、前記ゲート電極を被覆するように前記ゲート絶縁膜とは異なる種類の材料からなる絶縁膜を形成し、前記ゲート電極上の前記絶縁膜にて薄膜トランジスタの低濃度不純物領域となる領域を被覆する形状に加工し、前記絶縁膜を加工した後、薄膜ト

ンジスタのソースおよびドレイン領域形成を目的とした不純物注入を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項8】 透光性基板上に形成した多結晶シリコンを活性層とする双補型(C-MOS)薄膜トランジスタからなる駆動回路を同一基板上に形成した液晶表示装置用アクティブマトリックスアレイを製造する方法において、前記液晶表示装置を駆動する回路部のpチャネル薄膜トランジスタのゲート電極を加工する工程で全てのnチャネル薄膜トランジスタ上にマスクした後、pチャネル薄膜トランジスタのソースおよびドレイン領域に不純物注入を行い、前記pチャネル薄膜トランジスタへの不純物注入した後、前記全てのnチャネル薄膜トランジスタ上にゲート電極を形成し、前記nチャネルゲート電極を形成した後、基板全面にゲート絶縁膜とは異なる材料を用いて絶縁膜を形成し、前記絶縁膜にてpチャネル薄膜トランジスタを被覆し、かつ、画素部を形成するnチャネル薄膜トランジスタ部のチャネル領域とソースおよびドレイン領域との間に形成する低濃度不純物領域を被覆するようにゲート電極の両側にマスクを形成し、nチャネル薄膜トランジスタ部のソースおよびドレイン領域に不純物注入を行うことを特徴とする液晶表示装置用アクティブマトリックスアレイの製造方法。

【請求項9】 前記pチャネル薄膜トランジスタのソースおよびドレイン領域形成の不純物注入を、ホウ素(B)イオンを加速電圧50kV以上80kV以下、注入総量 $5 \times 10^{14}/\text{cm}^2$ 以上 $5 \times 10^{15}/\text{cm}^2$ 以下の条件で行う請求項7に記載の薄膜トランジスタの製造方法または請求項8に記載の液晶表示装置用アクティブマトリックスアレイの製造方法。

【請求項10】 前記nチャネル薄膜トランジスタのソースおよびドレイン領域形成の不純物注入を、リン(P)イオンを加速電圧70kV以上100kV以下、注入総量 $5 \times 10^{14}/\text{cm}^2$ 以上 $3 \times 10^{15}/\text{cm}^2$ 以下の条件で行う請求項7に記載の薄膜トランジスタの製造方法または請求項8に記載の液晶表示装置用アクティブマトリックスアレイの製造方法。

【請求項11】 前記薄膜トランジスタのゲート絶縁膜の材料が酸化シリコン(SiO_2)膜であって、かつ前記絶縁膜の材料が窒化シリコン(SiN_x)または酸化タンタル(TaO_x)である請求項7に記載の薄膜トランジスタの製造方法または請求項8に記載の液晶表示装置用アクティブマトリックスアレイの製造方法。

【請求項12】 前記ゲート絶縁膜の膜厚を30nm以上150nm以下とする請求項7に記載の薄膜トランジスタの製造方法または請求項8に記載の液晶表示装置用アクティブマトリックスアレイの製造方法。

【請求項13】 前記低濃度不純物領域をゲート電極の両側に0.5 μm 以上5 μm 以下の長さ形成する請求項7に記載の薄膜トランジスタの製造方法または請求項8

に記載の液晶表示装置用アクティブマトリックスアレイの製造方法。

【請求項14】ゲート電極として、AlにZrを5原子%以上20原子%以下の濃度にて添加した合金を用いる請求項7に記載の薄膜トランジスタの製造方法または請求項8に記載の液晶表示装置用アクティブマトリックスアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置やイメージセンサー等の入出力デバイスに使用可能な多結晶シリコン薄膜トランジスタおよび液晶表示装置用アクティブマトリックスアレイとそれらの製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタを集積化した液晶表示装置や、イメージセンサでは高密度化の技術トレンドとともに低コスト化への要望が強く、従来の非晶質シリコンを活性層に用いた薄膜トランジスタから、多結晶シリコンを活性層に用いた薄膜トランジスタの開発が活発化している。多結晶シリコン薄膜トランジスタは非晶質シリコン薄膜トランジスタに比べて電子移動度が2桁以上大きく、素子の微細化や駆動回路を同一基板上に集積可能である等の利点を有する。その反面、薄膜トランジスタの待機時のいわゆるOff電流が非晶質シリコン薄膜トランジスタに比べて大きいという課題を有している。このOff電流課題を解決するため、オフセット構造やLDD(Lightly-Doped-Drain)構造が提案されている。

【0003】図8は従来の多結晶シリコン薄膜トランジスタの製造方法の一例を示す。図に示した薄膜トランジスタは、薄膜トランジスタのリーク電流低減のためLDD構造を有している。図8(a)に示したように透光性基板：11(高耐熱ガラス基板)上に非晶質シリコン薄膜を減圧気相成長法(LPCVD法)により形成し、窒素雰囲気中で600℃の熱処理を行い、非晶質シリコン薄膜を結晶化して多結晶シリコン薄膜：13を形成する。前記多結晶シリコン薄膜を島状に加工し、ゲート絶縁膜：14となる酸化シリコン薄膜を形成する。前記酸化シリコン薄膜上にゲート電極：15を形成する。ゲート電極形成後、ゲート電極をマスクとしてイオン注入法にて第一の不純物注入を行い、低濃度不純物注入領域(n⁻領域)：13bを形成する。第一の不純物注入は例えばリン(P)イオンを、加速電圧80kV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ にて注入する。第一の不純物注入後、図8(b)に示したようにフォトリソ：30にてn⁻領域のマスクを形成したのち、第二の不純物注入を行い高濃度不純物注入領域(n⁺領域)：13cを形成する。第二の不純物注入は例えばリン(P)イオンを、加速電圧80kV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ にて注入する。第二の不純物注入後、フォトリソマスクを除去し、注入し

た不純物の活性化処理を行う。最後に図8(c)に示したように層間絶縁膜：18を形成し、コンタクトホール：19を開口したのち、ソース・ドレイン配線：20および21を形成し、薄膜トランジスタが完成する。

【0004】また、図9~11はLDD構造薄膜トランジスタをスイッチング素子に用いた駆動回路内蔵型液晶表示装置用アクティブマトリックスアレイの製造方法を示す。図9、10はC-MOS駆動回路を形成するp-chおよびn-ch薄膜トランジスタの製造方法を、図11は画素部のLDD構造薄膜トランジスタの製造方法を示す。図9~11の(a)に示すようにバッファ層12を設けた透光性基板：11(高耐熱ガラス基板)上に多結晶シリコン薄膜：13を形成する。前記多結晶シリコン薄膜を島状に加工し、ゲート絶縁膜：14となる酸化シリコン薄膜を形成する。前記酸化シリコン薄膜上に多結晶シリコン薄膜にてゲート電極：15を形成する。ゲート電極形成後、p-ch薄膜トランジスタ(TFT)のソース及びドレイン領域形成のため、ホウ素イオンを注入する。ホウ素イオンの注入条件は例えば加速電圧60kV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ であり、n-chTFTのソース及びドレイン領域はホウ素が注入されないようにフォトリソを用いてマスクしている。ホウ素イオン注入後フォトリソマスクを除去し、図10~11(b)に示すようにn-chTFTの低濃度不純物注入領域(n⁻域)：13bを形成する。低濃度不純物注入領域は例えばリン(P)イオンを加速電圧80kV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ にて注入して形成する。リンイオンの低濃度注入後、図11(c)に示したようにフォトリソ：30にて画素部のn-chTFTにのみn⁻領域のマスクを形成し、リンイオンの高濃度注入を行い、高濃度不純物注入領域(n⁺領域)：13cを形成する。高濃度不純物注入領域は例えばリン(P)イオンを、加速電圧80kV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ にて注入し形成する。これにより回路部n-chTFTは非LDD構造となり、かつ画素部のn-chTFTはLDD構造となる。リンイオンの高濃度注入後、LDD領域のフォトリソマスクを除去し、注入した不純物の活性化処理を行い、層間絶縁膜：18を形成する。最後に図9~11(e)に示すようにコンタクトホール：19を開口し、ソース・ドレイン配線：20および21を形成し、薄膜トランジスタが完成する。

【0005】

【発明が解決しようとする課題】図8に示した製造方法を用いて薄膜トランジスタを作製した場合、LDD構造を実現するためには高濃度、および低濃度の二度のドーピング工程を必要とし、LDD構造を用いない薄膜トランジスタに比較してドーピング工程数が増大し作製プロセスが複雑になる。

【0006】図9~11に示した製造方法を用いて液晶表示装置に用いる駆動回路内蔵液晶表示装置のアクティブマトリックスアレイを作製した場合、駆動回路部のp-

ch、n-ch形成用の二度の不純物注入に加え、LDD領域形成用の不純物注入が追加されるので作製工程が複雑となり、スループットが低下する。さらに、図9～11に示した製造方法ではn-ch薄膜トランジスタのソースおよびドレイン領域にはリンイオン(P)のみが注入されるが、p-ch薄膜トランジスタのソースおよびドレイン領域にはホウ素(B)イオン(図9～11の(a))に加え*

$$N_p = NB_2H_6 \times KB - NPH_3 \times KP$$

N_p : p-chソースおよびドレイン領域に必要なホウ素濃度 [$/cm^3$]

NB_2H_6 : p-ch TFT へのホウ素(B)の注入量 [$/cm^3$]

NPH_3 : n-ch TFT 形成時にp-ch TFT に注入される磷濃度 [$/cm^3$]

KB: ホウ素の活性化割合

KP: 磷イオンの活性化割合

【0008】 NPH_3 はn-chに必要な不純物濃度であるので減少させることが困難であり、結果的に NB_2H_6 濃度を増大させる必要があり、スループットを低下させる要因となっていた。

【0009】前記課題を解決するため、本発明はイオンドーピング工程数を増やすことなくLDD構造を実現し、Off電流を低減しうる薄膜トランジスタおよびそれを用いたスループットを低下させない液晶表示装置用アクティブマトリックスアレイを提供することを目的とする。

【0010】

【課題を解決するための手段】前記目的を達成するため、本発明の薄膜トランジスタは、多結晶シリコン薄膜を活性層に有し、チャネル領域とソースおよびドレイン領域との間に低濃度不純物注入量域を有する薄膜トランジスタにおいて、前記薄膜トランジスタ表面の全体を被覆するゲート絶縁膜を備え、かつゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる絶縁膜を低濃度不純物注入領域の不純物注入マスクとして備えたことを特徴とする。前記低濃度不純物注入領域のイオン量を例えば $1 \times 10^{13} / cm^2$ 程度で注入した領域をいう。

【0011】次に本発明の液晶表示装置用アクティブマトリックスアレイは、前記本発明の薄膜トランジスタを表示電極のスイッチング素子に用いる駆動回路内蔵型液晶表示装置である液晶表示装置用アクティブマトリックスアレイであって、前記ゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる前記絶縁膜を前記薄膜トランジスタの低濃度不純物注入領域への不純物注入マスクとして備え、かつ前記絶縁膜が駆動回路部のp-ch薄膜トランジスタを被覆していることを特徴とする。

【0012】前記構成においては、薄膜トランジスタのゲート絶縁膜の材料が酸化シリコン(SiO_2)膜であって、かつ前記絶縁膜の材料が窒化シリコン(SiN_x)または酸化タンタル(TaO_x)であることが好ましい。 SiN_x とは、例え

*でリンイオン(P)(図9～11の(b)、(c))が注入される。リンはシリコン中ではドナーとなり、ホウ素のホール供給能力を低下させる。p-ch TFTにホウ素とリンを同時に注入した場合に必要なホウ素注入量は以下の数式(数1)で示される。

【0007】

【数1】

ば Si_3N_4 、 SiN 、 Si_3N_4 等がある。酸化タンタル(TaO_x)とは、例えば TaO 、 Ta_2O_3 、 TaO_2 等がある。

【0013】また前記構成においては、前記ゲート絶縁膜の膜厚が30nm以上150nm以下であることが好ましい。

また前記構成においては、前記低濃度不純物領域がゲート電極の両側に0.5 μm 以上5 μm 以下の長さに形成されていることが好ましい。この長さは、実施例でも説明する通り、いわゆるLDD領域長(ΔL)を意味する。

【0014】また前記構成においては、前記ゲート電極が、AlにZrを5原子%以上20原子%以下の濃度にて添加した合金から構成されることが好ましい。次に本発明の薄膜トランジスタの製造方法は、多結晶シリコン薄膜を活性層に有し、チャネル領域とソースおよびドレイン領域との間に低濃度不純物注入量域を有する薄膜トランジスタを製造する方法において、透光性基板上にバッファ層を形成し、前記バッファ層上に多結晶シリコン薄膜を形成して薄膜トランジスタの形状に加工し、前記多結晶シリコン薄膜を被覆するようにゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート配線を形成し、前記ゲート電極を被覆するように前記ゲート絶縁膜とは異なる種類の材料からなる絶縁膜を形成し、前記ゲート電極上の前記絶縁膜にて薄膜トランジスタの低濃度不純物領域となる領域を被覆する形状に加工し、前記絶縁膜を加工した後、薄膜トランジスタのソースおよびドレイン領域形成を目的とした不純物注入を行うことを特徴とする。

【0015】次に本発明の液晶表示装置用アクティブマトリックスアレイの製造方法は、透光性基板上に形成した多結晶シリコンを活性層とする双補型(C-MOS)薄膜トランジスタからなる駆動回路を同一基板上に形成した液晶表示装置用アクティブマトリックスアレイを製造する方法であって、前記液晶表示装置を駆動する回路部のpチャネル薄膜トランジスタのゲート電極を加工する工程で全てのnチャネル薄膜トランジスタ上をマスクした後、pチャネル薄膜トランジスタのソースおよびドレ

ン領域に不純物注入を行い、前記pチャネル薄膜トランジスタへの不純物注入した後、前記全てのnチャネル薄膜トランジスタ上にゲート電極を形成し、前記nチャネルゲート電極を形成した後、基板全面にゲート絶縁膜とは異なる材料を用いて絶縁膜を形成し、前記絶縁膜にてpチャネル薄膜トランジスタを被覆し、かつ、画素部を形成するnチャネル薄膜トランジスタ部のチャネル領域とソースおよびドレイン領域との間に形成する低濃度不純物領域を被覆するようにゲート電極の両側にマスクを形成し、nチャネル薄膜トランジスタ部のソースおよびドレイン領域に不純物注入を行うことを特徴とする。

【0016】前記構成においては、前記pチャネル薄膜トランジスタのソースおよびドレイン領域形成の不純物注入を、ホウ素(B)イオンを加速電圧50kV以上80kV以下、注入総量 $5 \times 10^{14}/\text{cm}^2$ 以上 $5 \times 10^{15}/\text{cm}^2$ 以下の条件で行うことが好ましい。

【0017】また前記構成においては、前記nチャネル薄膜トランジスタのソースおよびドレイン領域形成の不純物注入を、リン(P)イオンを加速電圧70kV以上100kV以下、注入総量 $5 \times 10^{14}/\text{cm}^2$ 以上 $3 \times 10^{15}/\text{cm}^2$ 以下の条件で行うことが好ましい。

【0018】また前記構成においては、前記薄膜トランジスタのゲート絶縁膜の材料が酸化シリコン(SiO_2)膜であって、かつ前記絶縁膜の材料が窒化シリコン(Si_3N_4)または酸化タンタル(TaO_x)であることが好ましい。

【0019】前記構成においては、前記ゲート絶縁膜の膜厚を30nm以上150nm以下とすることが好ましい。前記構成においては、前記低濃度不純物領域をゲート電極の両側に0.5 μm 以上5 μm 以下の長さ形成することが好ましい。

【0020】前記構成においては、ゲート電極として、AlにZrを5原子%以上20原子%以下の濃度にて添加した合金を用いることが好ましい。

【0021】

【発明の実施の形態】前記本発明の薄膜トランジスタによれば、多結晶シリコン薄膜を活性層に有し、チャネル領域とソースおよびドレイン領域との間に低濃度不純物注入領域を有する薄膜トランジスタにおいて、前記薄膜トランジスタ表面の全体を被覆するゲート絶縁膜を備え、かつゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる絶縁膜を低濃度不純物注入領域の不純物注入マスクとして備えたことにより、リーク電流を低減し得るLDD構造を有する薄膜トランジスタを低コストで実現できる。特に、前記低濃度不純物領域がゲート電極の両側に0.5 μm 以上5 μm 以下の長さ形成されていると、Off電流を低減する効果が高い。

【0022】また本発明の液晶表示装置用アクティブマトリックスアレイによれば、前記本発明の薄膜トランジスタを表示電極のスイッチング素子に用いる駆動回路内

蔵型液晶表示装置である液晶表示装置用アクティブマトリックスアレイであって、前記ゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる前記絶縁膜を前記薄膜トランジスタの低濃度不純物注入領域への不純物注入マスクとして備え、かつ前記絶縁膜が駆動回路部のp-ch薄膜トランジスタを被覆していることにより、薄膜トランジスタの待機電流が減少し、液晶パネルの電圧保持率が向上し、表示品位の向上のみならず、信号保持用付加容量(Cs)を低減でき、液晶パネルの開閉率が向上するという優れた特性の液晶表示装置用アクティブマトリックスアレイを実現できる。

【0023】前記本発明の薄膜トランジスタの製造方法によれば、低濃度注入領域(LDD領域)となる領域上を、ゲート電極上に形成した、ゲート絶縁膜とは異なる種類の絶縁膜にて被覆した後、一度の不純物注入にて低濃度不純物領域(LDD領域)とソースおよびドレイン領域となる高濃度不純物領域を同時に形成するので、LDD構造を有する多結晶シリコン薄膜トランジスタ形成時の不純物注入回数を二回から一回に低減可能となる。

【0024】また前記本発明の薄膜トランジスタの製造方法によれば、同一基板上に駆動回路を内蔵した液晶表示装置において、液晶表示装置の画素電極を駆動するnチャネルTFT形成時に低濃度不純物領域(LDD領域)となる領域上をゲート電極上に形成したゲート絶縁膜とは異なる種類の絶縁膜にて被覆すると同時にマトリックスアレイの駆動回路部のpチャネルTFTを被覆した後、画素部およびマトリックスアレイの駆動回路部のnチャネルTFTのソースおよびドレイン領域の不純物注入にて少なくとも画素部のnチャネルTFTの低濃度不純物領域(LDD領域)と画素部および駆動回路部のソースおよびドレイン領域となる高濃度不純物領域を一括形成するので、双補型(CMOS)駆動回路を同一基板上に集積化した薄膜トランジスタアレイを有する液晶表示装置においては、LDD構造を有する薄膜トランジスタの製造工程を含んだ総製造工程での不純物注入工程を三回から二回に低減可能となる。さらに、CMOS駆動回路部のpチャネルTFTをLDD領域上に形成する絶縁膜にて被覆した後nチャネルの不純物注入を行うことによりnチャネルTFTへの注入時にpチャネルTFTのソースおよびドレイン領域に同時注入されるリン濃度を低減でき、pチャネルTFTの不純物注入量を低減できスループットが増大する。

【0025】

【実施例】以下実施例を用いて本発明を具体的に説明する。

【実施例1】図1は本実施例の薄膜トランジスタの作製工程を示す断面図である。

【0026】まず図1(a)に示すようにガラス基板11にバッファ層12となる酸化シリコン膜を厚さ300nm形成し、プラズマCVD法を用いて非晶質シリコン(a-

Si) 13を85nm厚さに堆積する。ついでa-Si膜中の水素を低減するため1 Torrの減圧窒素雰囲気下で450°C、90分の熱処理を行う。a-Si膜の熱処理後、エキシマレーザーアニールにてa-Si膜を多結晶化しpoly-Si膜13を形成する。エキシマレーザーは波長308nmのXeClエキシマレーザーを用い、照射は真空中、エネルギー密度は第一ステップ260mJ/cm²、第二ステップ390mJ/cm²の2ステップ照射にて結晶化を行った。平均照射数は第一、第二ステップとも16shot/pointである。

【0027】a-Si膜を結晶化してpoly-Si膜を形成した後、図1(b)に示すようにpoly-Si膜をTFTの形状に加工し、ゲート絶縁膜14となる酸化シリコン膜を85nm厚さに形成する。酸化シリコン膜はシラン(SiH₄)および酸素の混合ガスを用いた常圧CVDにて基板温度450°Cにて形成した。このゲート絶縁膜の形成温度が本プロセス中での最高温度である。ゲート絶縁膜形成後、Al-Zr合金(Zr濃度10原子%)を厚さ300nm堆積しゲート電極15の形状に加工する。

【0028】Al-Zr合金にてゲート電極を形成後、プラズマCVD法にて窒化シリコン(Si₃N₄)膜を厚さ100nm形成し、LDD領域の形状に加工し、LDDマスク16を形成する。その後ゲート電極15をマスクとしてソース・ドレイン(SD)領域形成用のリン(P)を注入17する。リンはイオンドーピング法を用いて水素ベースの10体積%ホスフィン(PH₃)を高周波プラズマにより分解・イオン化したものを、加速電圧80KV、ドーズ量1×10¹³cm⁻²にて注入した。本実施例では前記不純物注入一度にてSD領域とLDD領域を一括形成可能である。その概要を、図2に示す実施例の薄膜トランジスタの作製工程のイオンドーピングでの、深さ方向での不純物プロファイルを参照しながら説明する。

【0029】図2(a)及び(b)はイオンドーピングにて酸化シリコン(厚さ85nm)を介してSi中にリン(P)を加速電圧80KV、ドーズ量1×10¹³cm⁻²にて注入した深さ(膜厚)方向の注入プロファイルである。注入ピークはSiO₂/Si界面付近(~85nm)にあり不純物イオンの平均飛翔R_pはイオン注入法(R_p~80nm)とほぼ同一である。これに対して深さ方向でのプロファイルは、イオン注入法に比べてかなりブロードになっている。これは、イオンドーピング法が注入イオンの質量分離を行っていないため複数のイオン種、例えばPイオンのみならずPH_m(m=1,2)イオン等が注入されるためと考えられる。

【0030】TFTのソース及びドレイン領域(図1の13c)では、リン(P)イオンはゲート絶縁膜18(厚さ85nm)を通してpoly-Si中に注入される。そのため、リン(P)濃度平均は図2で斜線で示した領域(13b)の積分値となり約8×10¹⁹/cm³である。これに対してTFTのLDD領域(図1の13b)ではリン(P)イオンはLDDマスクである窒化シリコン(厚さ100nm)とゲート絶

縁膜の酸化シリコン(厚さ85nm)を通してpoly-Si中に注入される。図2を用いてLDD領域に注入されるリン(P)濃度を見積るためには、まず、窒化シリコン膜厚を酸化シリコン膜厚に換算するため各膜中での注入イオンの平均飛翔の比を計算する。80KVにてリンを注入した場合の平均飛翔の比は数式(数2)で表される。

【0031】

【数2】

$$R_p(\text{SiN}_x)/R_p(\text{Si}) = 61.0/79.0 = 0.77$$

【0032】SiN_x(100nm)/SiO₂(85nm)を通して注入されるリン(P)濃度はSiO₂換算(1000/0.77+85nm)214.5nmを通してSi中に注入されるリン(P)濃度と等価と考えることができる。図2ではSiO₂膜厚が85nmであり85nm以降はSi中であるので、SiO₂膜214.5nmを通して注入される場合には(214.5-85.0)の領域に関してはさらにSiとのSiO₂との平均飛翔比を計算する必要があり、結果的にLDD領域(図1、13c)の不純物濃度は、図2では以下の数式(数3)で示される膜厚の領域に相当する。

【0033】

【数3】

$$(214.5-85.0) \times 98.0/79.0 + 85.0 = 245.6 \text{ (nm)}$$

【0034】図2で右下がりハッチで示したように、LDD領域のSi(図1の13c)に注入されるリン(P)平均濃度は9×10¹⁷/cm³であり、SD領域の注入量8×10¹⁹/cm³に対して2桁低減されている。このように本実施例の製造方法を用いることにより、一度の不純物注入で濃度の異なる領域を同時に形成可能となり、注入回数を低減できた。

【0035】前記不純物注入後、図1(c)に示した酸化シリコン(厚さ400nm)からなる層間絶縁膜18を形成する。層間絶縁膜はシラン(SiH₄)および酸素の混合ガスを用いた常圧CVDにより基板温度400°Cにて形成した。本層間絶縁膜形成時には400°C、30分程度の熱履歴が加わるため、この熱工程より先に注入したリン(P)イオンの活性化処理を同時に行っている。層間絶縁膜形成後、多結晶シリコン中の未結合種(ダングリングボンド)を終端し、特性向上を図るため水素プラズマ処理を行う。水素プラズマ処理は円筒型リアクターに挿入したロッド電極に高周波電力を投入して放電させる手法を用い、水素1Torrの減圧雰囲気下、高周波電力800W、基板温度350°C、処理時間120分にて実施した。水素プラズマ処理後コンタクトホール19を開孔し、SD配線(Al20:700nmとTi21:100nm積層膜)を形成しTFTが完成する。

【0036】図3(a)は従来のTFTと今回作製したLDD構造を有するTFTのドレイン電流I_dのゲート電圧V_g依存性(I_d-V_g特性)を示したものである。図3(b)に測定系の概略図を示す。測定したTFTのサイズはチャネル幅W=12μm、チャネル長L=12μmである。ドレイン電流の測定は、ドレイン電圧V_dを10V一定

にして、ゲート電圧 V_g を変化させて行った。

【0037】LDD構造を持たない従来のTFT(図3(a)、曲線(イ)、 $\Delta L=0$)ではTFTがOFF状態、すなわちゲート電圧が負の領域ではゲート電圧を減少するに伴いOFF電流が急増する。このような特性を持つTFTを液晶表示装置等に用いた場合にはTFTがOFF状態での待機電流が大きく、電圧保持率の低下や表示クロストークといった課題が生じる。これに対して図3(a)の曲線(ロ)、(ハ)に本実施例中で示したLDD構造を有するTFTの電流-電圧特性を示す。図3(ロ)はLDD長(ΔL) $0.5\mu m$ 、図3(ハ)はLDD長(ΔL) $1.0\mu m$ の場合であり、LDD長の増大とともにOFF電流値も減少するがLDD長が $1.0\mu m$ 以上ではOFF電流値は飽和した。このように図3(ハ)に示したLDD構造を用いることにより、TFTのOFF電流($V_g=-20V$)が4桁以上低減できた。

【0038】なお、本実施例中ではLDD領域のマスクとして窒化シリコン(厚さ $100nm$)を用い、リン注入時の加速電圧 $80KV$ にてTFTを作製したが、LDD領域の不純物濃度は窒化シリコン膜厚を変更することでSD領域の不純物濃度とは独立に制御することが可能である。また、本実施例ではゲート絶縁膜の材料として酸化シリコンを用いたが、これを酸化シリコンと窒化シリコンとの積層膜としても同等の効果が得られる。さらに、LDD領域のマスクとして窒化シリコン膜以外に Ta_2O_5 等の絶縁膜を用いても同等の効果が得られる。

(実施例2)図4～6に本実施例の液晶表示装置に用いるアクティブマトリクスアレイの製造工程断面図に関して説明する。

【0039】図7は本実施例のアクティブマトリクスアレイのブロック図である。薄膜トランジスタアレイ部では各画素54を構成する薄膜トランジスタ51は走査側52および信号側53の駆動回路に接続されている。この各駆動回路は多結晶シリコンを活性層とする薄膜トランジスタを用いて双補型(CMOS)構造にて形成されている。各画素は薄膜トランジスタ51にて液晶自体の要領成分CLCを充電することにより画像表示を行っている。液晶には各画素の保持期間内での信号保持率を向上させるため付加容量(CS)が形成される。

【0040】図4は駆動回路を形成するp-ch薄膜トランジスタの製造工程を、図5は駆動回路を形成するp-ch薄膜トランジスタの製造工程を、図6は画素電極を駆動するn-ch薄膜トランジスタの製造方法を示したものである。

【0041】まず図4～6の(a)に示すようにガラス基板11にバッファ層12となる酸化シリコン膜を厚さ $300nm$ 形成し、プラズマCVD法を用いて非晶質シリコン(a-Si)13を厚さ $85nm$ 堆積する。ついでa-Si膜中の水素を低減するため $1Torr$ の減圧窒素雰囲気下で $450^\circ C$ 、90分の熱処理を行う。a-Si膜の熱処理後、エキシマレー

ザーアニールにてa-Si膜を多結晶化しpoly-Si膜13を形成する。a-Si膜の結晶化にてpoly-Si膜を形成した後、図4～6の(a)に示すようにpoly-Si膜をTFTの形状に加工し、ゲート絶縁膜14となる酸化シリコン膜を厚さ $85nm$ 形成する。ゲート絶縁膜形成後、Al-Zr合金(Zr濃度 10 原子%)を厚さ $300nm$ 堆積し第一のゲート電極15の形状に加工する。前記第一のゲート電極はp-ch薄膜トランジスタの不純物注入マスクとなるものであり、駆動回路部のp-ch薄膜トランジスタ部(図4)にのみゲート電極を形成し、駆動回路部のn-ch薄膜トランジスタ部(図5)および画素部のn-ch薄膜トランジスタ(図6)に関しては薄膜トランジスタ全体を被覆する形状にする。図4～6の(a)に示した第一のゲート電極形成工程後、p-ch薄膜トランジスタのソース・ドレイン領域形成のためホウ素(B)イオンを注入する。ホウ素はイオンドーピング法を用いて水素ベースの 10 体積%ジボラン(B_2H_6)を高周波プラズマにより分解・イオン化したものを加速電圧 $60KV$ 、ドーズ量 $2 \times 10^{15} cm^{-2}$ にて注入した。ホウ素注入によりp-ch薄膜トランジスタのソース・ドレイン領域にp'型領域が形成されるが、n-ch薄膜トランジスタ部はゲート電極にてマスクされているため不純物が注入されない。

【0042】ついで図4～6の(a)に示すように第二のゲート電極形成工程によりn-ch薄膜トランジスタ(図4、5)のゲート電極を形成する。第二のゲート電極形成後、プラズマCVD法にて窒化シリコン(Si_3N_4)膜を厚さ $100nm$ 形成し、画素部のn-ch薄膜トランジスタ部にLDDマスク16を形成する。本LDDマスクは画素部のn-ch薄膜トランジスタ部に形成される(図6)。また、駆動回路部のp-ch薄膜トランジスタ部を被覆するように形成する(図4)。LDDマスクを形成後、n-ch薄膜トランジスタのソース・ドレイン(SD)領域形成用のリン(P)を注入17する。リンはイオンドーピング法を用いて水素ベースの 10 体積%ホスフィン(PH_3)を高周波プラズマにより分解・イオン化したものを加速電圧 $80KV$ 、ドーズ量 $1 \times 10^{15} cm^{-2}$ にて注入した。本不純物注入により実施例1で説明したようにn'型のSD領域とn型のLDD領域を一括形成する。

【0043】前記不純物注入後、図6(c)に示したように画素領域に表示電極41を形成し、図4～6の(c)に示すように、酸化シリコン(厚さ $400nm$)からなる層間絶縁膜18を形成する。層間絶縁膜はシラン(SiH_4)および酸素の混合ガスを用いた常圧CVDにより基板温度 $400^\circ C$ にて形成した。本層間絶縁膜形成時には $400^\circ C$ 、30分程度の熱履歴が加わるため、この熱工程により先に注入したホウ素(B)およびリン(P)イオンの活性化処理を同時に行っている。層間絶縁膜形成後、多結晶シリコン中の未結合種(ダングリングボンド)を終端し特性向上を図るため水素プラズマ処理を行う。

【0044】水素プラズマ処理後、図4～6の(d)に示

したようにコンタクトホール19を開口し、SD配線(A120:700nmとTi21:100nm積層膜)を形成し液晶表示装置用アクティブマトリックスアレイが完成する。

【0045】本実施例の製造方法を用いることにより液晶表示装置に用いるアクティブマトリックスアレイにおいて、LDD構造を有するOff電流の小さな画素トランジスタと、高速動作の駆動回路トランジスタを同一基板上に簡便なプロセスにて作成可能となった。本アクティブマトリックスアレイを用いて液晶表示装置を作成したところ、画素トランジスタの待機電流を大幅に低減できたことにより表示コントラストの向上、クロストークの低減が実現でき表示品位が大きく向上すると同時に消費電力も低減可能となった。

【0046】さらに本実施例の製造方法を用いることによりp-ch薄膜トランジスタ形成時のホウ素の注入量を従来例に比べて60%低減できた。ホウ素の注入量は数式(数1)で示される。n-ch薄膜トランジスタ形成時にp-ch薄膜トランジスタ部に同時注入されるリン(P)濃度が従来例では図2の13bの領域であったものが、本実施例ではLDD領域マスク材にてp-ch薄膜トランジスタ部を被覆したのち、リンイオンを注入するため、図2の13cにまで低減でき、数式(数1)中の N_{PH} を2桁低減可能となった。これにより、p-ch薄膜トランジスタ形成時のホウ素の注入量を従来例の2/5に低減でき、注入工程のスループットが2.5倍に向上した。

【0047】なお、本実施例中ではLDD領域のマスクとして窒化シリコン(厚さ100nm)を用い、リン注入時の加速電圧80KVにてTFTを作製したが、LDD領域の不純物濃度は窒化シリコン膜厚を変更することでSD領域の不純物濃度とは独立に制御することが可能である。また、本実施例ではゲート絶縁膜の材料として酸化シリコンを用いたが、これを酸化シリコンと窒化シリコンとの積層膜としても同等の効果が得られる。さらに、LDD領域のマスクとして窒化シリコン膜以外に TaO_x 等の絶縁膜を用いても同等の効果が得られる。さらに、本実施例中ではLDD構造を画素TFTのみに使用したが、駆動回路部のn-ch薄膜トランジスタに用いてもOff電流が低減でき、消費電力が低減できる。

【0048】上記のように本実施例の薄膜トランジスタを用いることにより多結晶シリコン薄膜トランジスタでの特性課題であるOff電流を、ドーピング工程増を招くことなく大幅に低減可能となった。

【0049】本薄膜トランジスタを液晶表示装置用アクティブマトリックスアレイに用いることにより薄膜トランジスタの待機電流が減少し、液晶パネルの電圧保持率が向上した。これにより表示品位の向上のみならず、信号保持用付加容量(CS)を低減でき、液晶パネルの開口率が向上した。

【0050】また、薄膜トランジスタがLDD構造を有することにより従来に比べてACやDCストレスに対す

る信頼性も向上した。本発明の液晶表示装置用アクティブマトリックスアレイでは、ドーピング工程増を招くことなくLDD構造の低Off電流薄膜トランジスタと自己整合構造の高移動度薄膜トランジスタを同一基板上に集積化できた。また、駆動回路部のp-ch薄膜トランジスタ部に注入されるリンの量を低減することができ、p-ch形成時のホウ素注入量を60%削減でき注入時のスループットが2.5倍向上した。

【0051】

【発明の効果】以上説明した通り、前記本発明の薄膜トランジスタによれば、多結晶シリコン薄膜を活性層に有し、チャネル領域とソースおよびドレイン領域との間に低濃度不純物注入量域を有する薄膜トランジスタにおいて、前記薄膜トランジスタ表面の全体を被覆するゲート絶縁膜を備え、かつゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる絶縁膜を低濃度不純物注入領域の不純物注入マスクとして備えたことにより、リーク電流を低減し得るLDD構造を有する薄膜トランジスタを低コストで提供できる。

【0052】また本発明の液晶表示装置用アクティブマトリックスアレイによれば、前記本発明の薄膜トランジスタを表示電極のスイッチング素子に用いる駆動回路内蔵型液晶表示装置である液晶表示装置用アクティブマトリックスアレイであって、前記ゲート電極の一部を被覆するように形成され前記ゲート絶縁膜とは異なる材料からなる前記絶縁膜を前記薄膜トランジスタの低濃度不純物注入領域への不純物注入マスクとして備え、かつ前記絶縁膜が駆動回路部のp-ch薄膜トランジスタを被覆していることにより、薄膜トランジスタの待機電流が減少し、液晶パネルの電圧保持率が向上し、表示品位の向上のみならず、信号保持用付加容量(CS)を低減でき、液晶パネルの開口率が向上するという優れた特性の液晶表示装置用アクティブマトリックスアレイを提供できる。

【0053】前記本発明の薄膜トランジスタの製造方法によれば、薄膜トランジスタを効率的に製造できる。また前記本発明の液晶表示装置用アクティブマトリックスアレイの製造方法によれば、液晶表示装置用アクティブマトリックスアレイを効率的に製造できる。

【図面の簡単な説明】

【図1】 本発明の一実施例の薄膜トランジスタの作製工程を示す断面図

【図2】 本発明の一実施例の薄膜トランジスタの作製工程のイオンドーピングでの、深さ方向での不純物プロファイル

【図3】 (a)は図1の製造方法を用いて作製した薄膜トランジスタの電流-電圧特性を示すグラフ、(b)は測定概略図

【図4】 本発明の一実施例の液晶表示装置用アクティブマトリックスアレイの作製工程を示す断面図

【図5】 本発明の一実施例の液晶表示装置用アクティ

ブマトリックスアレイの作製工程を示す断面図

【図6】 本発明の一実施例の液晶表示装置用アクティブマトリックスアレイの作製工程を示す断面図

【図7】 本発明の一実施例の液晶表示装置用アクティブマトリックスアレイのブロック図

【図8】 従来例のLDD構造薄膜トランジスタの作製工程を示す断面図

【図9】 従来例の画素電極にLDD構造を用いた液晶表示装置用アクティブマトリックスアレイの作製工程を示す断面図

【図10】 従来例の画素電極にLDD構造を用いた液晶表示装置用アクティブマトリックスアレイの作製工程を示す断面図

【図11】 従来例の画素電極にLDD構造を用いた液晶表示装置用アクティブマトリックスアレイの作製工程を示す断面図

【符号の説明】

11：ガラス基板

12：バッファ層(酸化シリコン)

13：非単結晶シリコン

10

* 13a：真性多結晶シリコン(チャネル領域)

13b：低濃度不純物注入領域(LDD領域)

13c：高濃度不純物注入領域(SD領域)

14 ゲート絶縁膜(酸化シリコン)

15：ゲート電極(A1-10原子%Zr)

16：LDDマスク(窒化シリコン)

17：イオンドーピング

18：層間絶縁膜(酸化シリコン)

19：コンタクトホール

20：SD配線(Al)

21：SD配線(Ti)

30：フォトリソ

41：画素電極(ITO)

51：薄膜トランジスタ

52：走査側駆動回路

53：データ側駆動回路

54：画素

CLC：液晶容量

CS：信号保持用付加容量

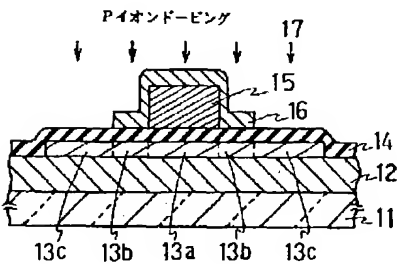
*20

【図1】

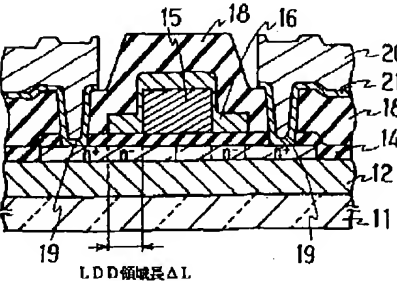
(a)



(b)

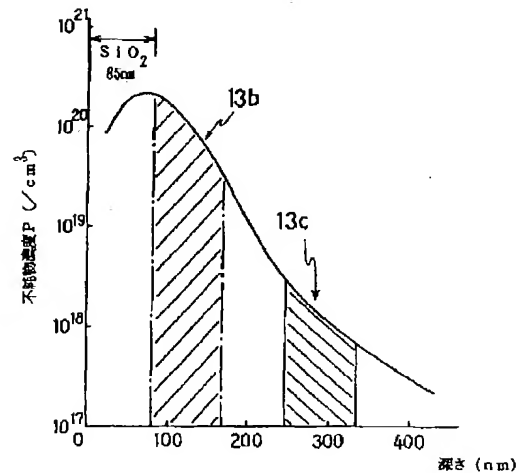


(c)

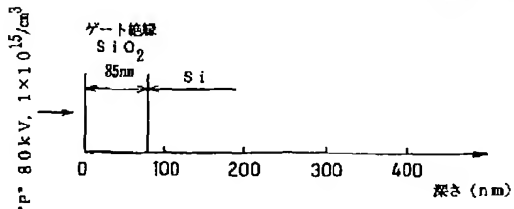


【図2】

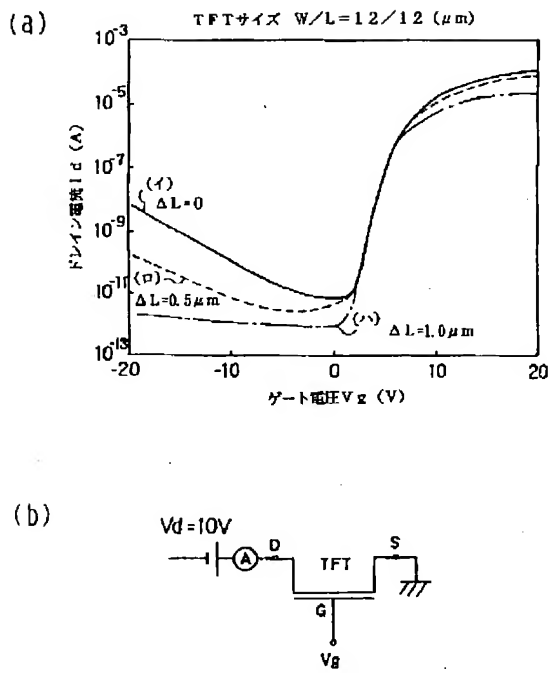
(a)



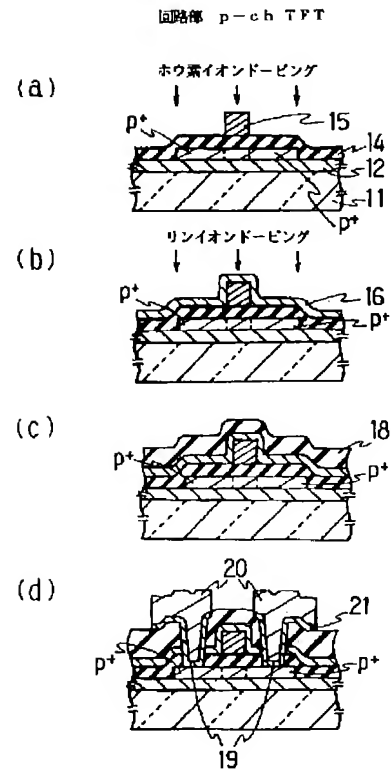
(b)



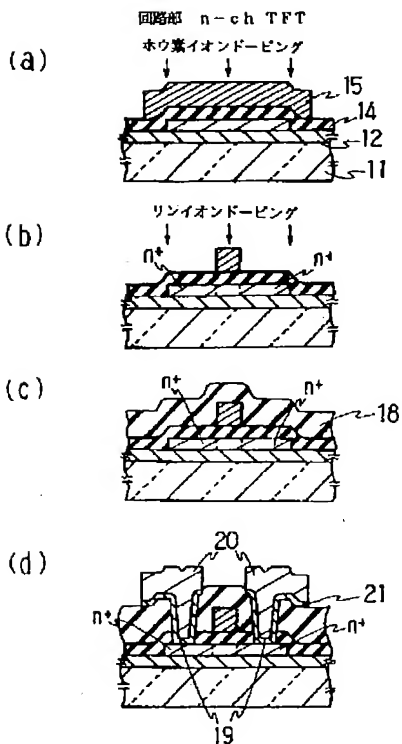
【図3】



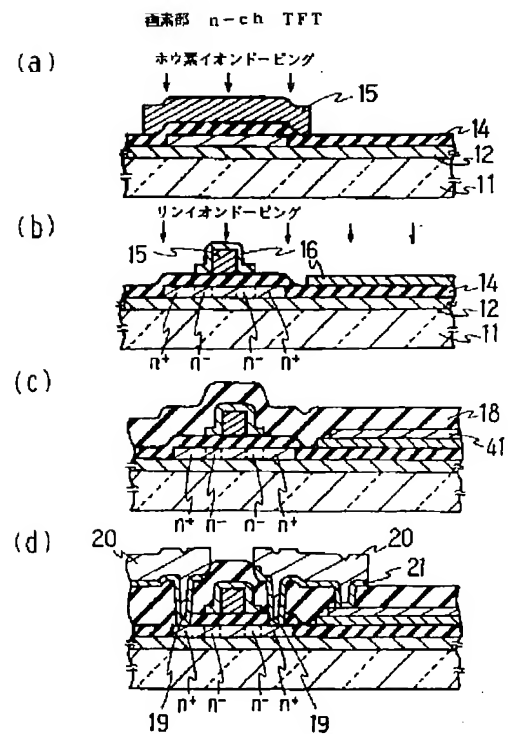
【図4】



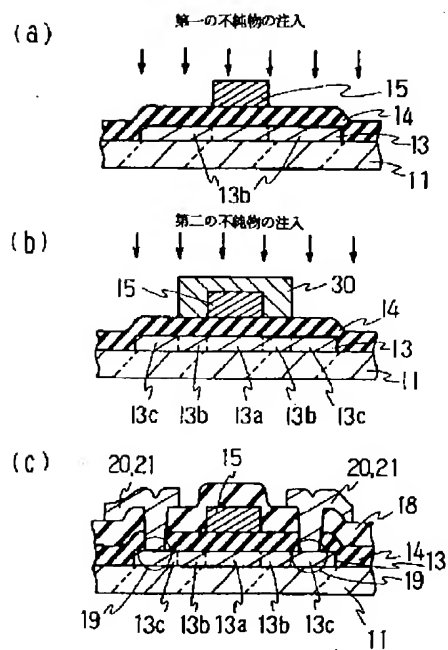
【図5】



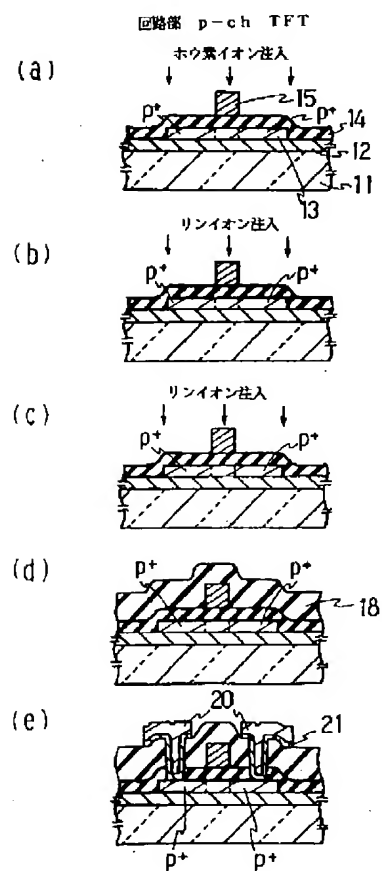
【図6】



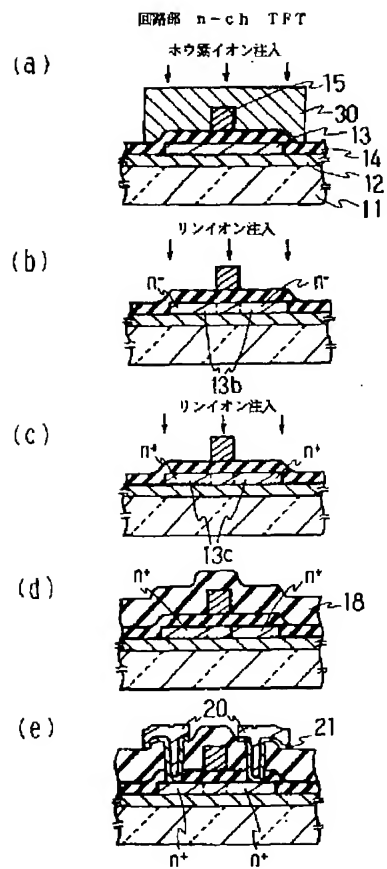
【図 8】



【図9】



【図10】



【図11】

